

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 23/60



[12] 发明专利说明书

专利号 ZL 02127455. X

[45] 授权公告日 2005 年 7 月 27 日

[11] 授权公告号 CN 1212672C

[22] 申请日 2002.8.2 [21] 申请号 02127455. X

[30] 优先权

[32] 2001. 8. 22 [33] US [31] 09/682, 344

[71] 专利权人 联华电子股份有限公司

地址 台湾省新竹市

[72] 发明人 柯明道 陈东旻 唐天浩

审查员 史永良

[74] 专利代理机构 北京三友知识产权代理有限公司

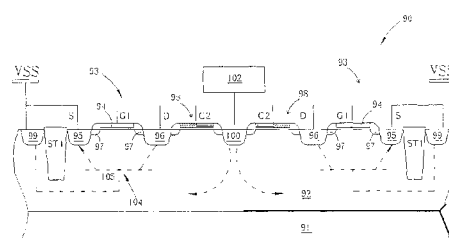
代理人 陈 红

权利要求书 12 页 说明书 26 页 附图 9 页

[54] 发明名称 高衬底触发效应的静电放电保护元件结构及其应用电路 管，进而快速排放该 ESD 电压脉冲的电流。

[57] 摘要

本发明提供一种高衬底触发效应的静电放电 (ESD) 保护元件结构及其应用电路；该 ESD 保护元件结构形成于一 P 型阱上，其包含有至少一 NMOS，至少一用来电连接一 P 型阱偏压电路的第一 P+ 扩散区域，至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+ 扩散区域之间，至少一用来电连接 VSS 电源接脚的第二 P+ 扩散区域，以及至少一用以隔离该 NMOS 与该第二 P+ 扩散区域的浅沟隔离 (STI)；其中该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，且该 NMOS 的漏极与源极则分别电连接于一输入/输出缓冲端以及该 VSS 电源接脚；当一 ESD 电压脉冲被施加于该输入/输出缓冲端时，该 P 型阱偏压电路会诱发一衬底触发电流以触发该寄生横向双极型晶体



I S S N 1 0 0 8 - 4 2 7 4

知识产权出版社出版

1. 一种高衬底触发效应的 N 通道金属氧化物半导体元件结构, 该 NMOS 元件结构形成于一衬底的 P 型阱上, 其特征是: 该 NMOS 元件结构包含有:

5 一栅极, 设于该 P 型阱中;

 一第一 N+扩散区域, 设于该 P 型阱中, 用来当作该 NMOS 元件结构的漏极;

 一第二 N+扩散区域, 设于该 P 型阱中, 用来当作该 NMOS 元件结构的源极, 且该第一 N+扩散区域、该 P 型阱以及该第二 N+扩散区域形成一
10 寄生横向 n-p-n 双极型晶体管的集极、基极与射极;

 一第一 P+扩散区域, 设于该 P 型阱中, 用来电连接一 P 型阱偏压电路;

 一虚置栅极, 该虚置栅极包含有 P 型掺质以及 N 型掺质, 设于该第一 N+扩散区域以及该第一 P+扩散区域之间;

15 一第二 P+扩散区域, 设于该 P 型阱中, 用来电连接一 VSS 电源接脚;
 以及

 一浅沟隔离, 用以隔离该第二 N+扩散区域与该第二 P+扩散区域;

 其中当该 P 型阱偏压电路诱发一衬底触发电流时, 该衬底触发电流会由该第一 P+扩散区域流过该虚置栅极下方的该 P 型阱而开启该寄生横
20 向双极型晶体管, 以使电连接至该漏极的一特定电流被快速经由该源极而传导至该 VSS 电源接脚。

2. 如权利要求 1 所述的 NMOS 元件结构, 其特征是: 另包含有复数个轻掺杂漏极设于各该栅极周围的该 P 型阱中。

3. 如权利要求 1 所述的 NMOS 元件结构, 其特征是: 该特定电流为
25 一静电放电电流。

4. 一种高衬底触发效应的 P 通道金属氧化物半导体元件结构, 该

PMOS 元件结构形成于一衬底的 N 型阱上，其特征是：该 PMOS 元件结构包含有：

一栅极，设于该 N 型阱中；

一第一 P+扩散区域，设于该 N 型阱中，用来当作该 PMOS 元件结构的漏极；

一第二 P+扩散区域，设于该 N 型阱中，用来当作该 PMOS 元件结构的源极，且该第一 P+扩散区域、该 N 型阱以及该第二 P+扩散区域形成一寄生横向 p-n-p 双极型晶体管的集极、基极与射极；

一第一 N+扩散区域，设于该 N 型阱中，用来电连接一 N 型阱偏压电路；

一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该第一 P+扩散区域以及该第一 N+扩散区域之间；

一第二 N+扩散区域，设于该 N 型阱中，用来电连接一 VDD 电源接脚；以及

一浅沟隔离，用以隔离该第二 P+扩散区域与该第二 N+扩散区域；

其中当该 N 型阱偏压电路诱发一衬底触发电流时，该衬底触发电流会流过该虚置栅极下方的该 N 型阱至该第一 N+扩散区域而开启该寄生横向双极型晶体管，以使电连接至该漏极的一特定电流被快速经由该源极而传导至该 VDD 电源接脚。

5. 如权利要求 4 所述的 PMOS 元件结构，其特征是：另包含有复数个轻掺杂漏极设于各该栅极周围的该 N 型阱中。

6. 如权利要求 4 所述的 PMOS 元件结构，其特征是：该特定电流为一静电放电电流。

7. 一种 ESD 保护元件结构，该 ESD 保护元件结构形成于一衬底的 P 型阱上，其特征是：该 ESD 保护元件结构包含有：

至少一 NMOS，设于该 P 型阱中，且该 NMOS 的漏极、该 P 型阱以及

该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该 NMOS 的漏极与该 NMOS 的源极则分别电连接于一输入/输出缓冲端以及一 VSS 电源接脚；

至少一第一 P+扩散区域，设于该 P 型阱中，用来电连接一 P 型阱偏压电路；

5 至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+扩散区域之间；

至少一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及

至少一浅沟隔离，用以隔离该 NMOS 与该第二 P+扩散区域；

10 其中当一 ESD 电压脉冲被施加于该输入/输出缓冲端时，该 P 型阱偏压电路会诱发一衬底触发电流，并由该第一 P+扩散区域直接流经该虚置栅极下方的该 P 型阱至该寄生横向双极型晶体管的该基极而触发该寄生横向双极型晶体管，以快速释放该 ESD 电压脉冲的电流至该 VSS 电源接脚。

8. 如权利要求 7 所述的 ESD 保护元件结构，其特征是：被触发的该
15 寄生偏向双极型晶体管会将大部分的该 ESD 电压脉冲的电流经由该 NMOS 下方的该 P 型阱释放至该 VSS 电源接脚，而非流经该 NMOS 的表面通道。

9. 一种 ESD 保护元件结构，该 ESD 保护元件结构形成于一衬底的 N 型阱上，其特征是：该 ESD 保护元件结构包含有：

至少一 PMOS，设于该 N 型阱中，且该 PMOS 的漏极、该 N 型阱以及
20 该 PMOS 的源极形成一寄生横向 p-n-p 双极型晶体管，而该 PMOS 的漏极与该 PMOS 的源极则分别电连接于一输入/输出缓冲端以及一 VDD 电源接脚；

至少一第一 N+扩散区域，设于该 N 型阱中，用来电连接一 N 型阱偏压电路；

至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于
25 该 PMOS 以及该第一 N+扩散区域之间；

至少一第二 N+扩散区域，设于该 N 型阱中，用来电连接该 VDD 电源

接脚；以及

至少一浅沟隔离，用以隔离该 PMOS 与该第二 N+扩散区域；

其中当一 ESD 电压脉冲被施加于该输入/输出缓冲端时，该 N 型阱偏压电路会诱发一衬底触发电流，并由该寄生横向双极型晶体管的该基极直接流经该虚置栅极下方的该 N 型阱至该第一 N+扩散区域而开启该寄生横向双极型晶体管，以快速释放该 ESD 电压脉冲的电流至该 VDD 电源接脚。

10. 如权利要求 9 所述的 ESD 保护元件结构，其特征是：被触发的该寄生偏向双极型晶体管会将大部分的该 ESD 电压脉冲的电流经由该 PMOS 下方的该 N 型阱释放至该 VDD 电源接脚，而非流经该 PMOS 的表面通道。

11. 一种静电放电防护电路，该 ESD 防护电路电连接于一输入/输出缓冲端、一内部电路、一 VSS 电源接脚以及一 VDD 电源接脚，其特征是：该 ESD 防护电路包含有：

一第一 ESD 保护元件结构，电连接于该 VSS 电源接脚、该输入/输出缓冲端与该内部电路，该第一 ESD 保护元件结构包含有：

一 P 型阱；

至少一第一 NMOS，设于该 P 型阱中，且该第一 NMOS 的漏极、该 P 型阱以及该第一 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该第一 NMOS 的漏极与该第一 NMOS 的源极分别电连接于该输入/输出缓冲端以及该 VSS 电源接脚；

至少一第一 P+扩散区域，设于该 P 型阱中；

至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该第一 NMOS 以及该第一 P+扩散区域之间；

至少一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及

至少一第一浅沟隔离,用以隔离该第一 NMOS 与该第二 P+扩散区域;

一正向衬底偏压电路,电连接于该 VSS 电源接脚、该输入/输出缓冲端、该内部电路以及该第一 ESD 保护元件结构的该第一 P+扩散区域,该

5 正向衬底偏压电路包含有:

一第二 NMOS,该第二 NMOS 的源极经由一 P 型阱电阻与该 VSS 电源接脚电连接,该第二 NMOS 的漏极电连接于该输入/输出缓冲端,该第二 NMOS 的栅极经由一第一电子元件以及一第二电子元件而分别与该 VSS 电源接脚以及该输入/

10 输出缓冲端相电连接;

一第二 ESD 保护元件结构,电连接于该 VDD 电源接脚、该输入/输出缓冲端与该内部电路,该第二 ESD 保护元件结构包含有:

一 N 型阱;

至少一第一 PMOS,设于该 N 型阱中,且该第一 PMOS 的漏极、该 N 型阱以及该第一 PMOS 的源极形成一寄生横向 p-n-p 双极型晶体管,而该 PMOS 的漏极与该第一 PMOS 的源极分别电连接于该输入/输出缓冲端以及该 VDD 电源接脚;

15

至少一第一 N+扩散区域,设于该 N 型阱中;

至少一虚置栅极,该虚置栅极包含有 P 型掺质以及 N 型掺质,设于该第一 PMOS 以及该第一 N+扩散区域之间;

20

至少一第二 N+扩散区域,设于该 N 型阱中,用来电连接该 VDD 电源接脚;以及

至少一第二浅沟隔离,用以隔离该第一 PMOS 与该第二 N+扩散区域;

一负向衬底驱动电路,电连接于该 VDD 电源接脚、该输入/输出缓冲端、该内部电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域,该

25

负向衬底驱动电路包含有：

一第二 PMOS，该第二 PMOS 的源极经由一 N 型阱电阻
与该 VDD 电源接脚电连接，该第二 PMOS 的漏极电连接于该输
入/输出缓冲端，该第二 PMOS 的栅极经由一第三电子元件以
及一第四电子元件而分别与该 VDD 电源接脚以及该输入/输
出缓冲端相电连接。

12. 如权利要求 11 所述的 ESD 防护电路，其特征是：当一正 ESD 电
压脉冲被施加于该输入/输出缓冲端且 VSS 接地而 VDD 浮接时，该正 ESD
电压脉冲会通过该第二电子元件与第一电子元件而对该第二 NMOS 的栅极
施加一耦合电压。

13. 如权利要求 12 所述的 ESD 防护电路，其特征是：当该耦合电压
大于该第二 NMOS 的起始电压时，该第二 NMOS 会被开启并导通部分该正 ESD
电压脉冲的电流经由该第一 P+掺杂区而被导入该 P 型阱，以触发该寄生横
向 n-p-n 双极型晶体管，使该 ESD 电压脉冲的电流得以经由该第一 NMOS
下方的该 P 型阱而被快速释放至该 VSS 电源接脚。

14. 如权利要求 11 所述的 ESD 防护电路，其特征是：当一负 ESD 电
压脉冲被施加于该输入/输出缓冲端且 VSS 接地而 VDD 浮接时，该负 ESD
电压脉冲的电流会经由该第一 NMOS 的漏极与该 P 型阱所构成的顺向偏压
接面而被释放至该 VSS 电源接脚。

15. 如权利要求 11 所述的 ESD 防护电路，其特征是：当一负 ESD 电
压脉冲被施加于该输入/输出缓冲端且 VDD 接地而 VSS 浮接时，该负 ESD
电压脉冲会通过该第三电子元件与第四电子元件而对该第二 PMOS 的栅极
施加一耦合电压。

16. 如权利要求 15 所述的 ESD 防护电路，其特征是：当该耦合电压
小于该第二 PMOS 的起始电压时，该第二 PMOS 会被开启并导通部分该负 ESD
电压脉冲的电流经由该第一 N+掺杂区而被导入该 N 型阱，以触发该寄生横

向 p-n-p 双极型晶体管,使该负 ESD 电压脉冲的电流得以经由该第一 PMOS 下方的该 N 型阱而被快速释放至该 VDD 电源接脚。

17. 如权利要求 11 所述的 ESD 防护电路,其特征是: 当一正 ESD 电压脉冲被施加于该输入/输出缓冲端且 VDD 接地而 VSS 浮接时,该正 ESD 电压脉冲的电流会经由该第一 PMOS 的漏极与该 N 型阱所构成的顺向偏压接面而被释放至该 VDD 电源接脚。

18. 如权利要求 11 所述的 ESD 防护电路,其特征是: 该第一电子元件包含有一电阻或二极管。

19. 如权利要求 11 所述的 ESD 防护电路,其特征是: 该第二电子元件包含有一电阻、电容或一基纳二极管。

20. 如权利要求 11 所述的 ESD 防护电路,其特征是: 该第三电子元件包含有一电阻、电容或一基纳二极管。

21. 如权利要求 11 所述的 ESD 防护电路,其特征是: 该第四电子元件包含有一电阻或二极管。

22. 如权利要求 11 所述的 ESD 防护电路另包含有一前驱电路,电连接于该 VDD 电源接脚、该 VSS 电源接脚、该内部电路、该第一 NMOS 的栅极以及该第一 PMOS 的栅极。

23. 一种 ESD 防护电路,该 ESD 防护电路电连接于一输入/输出缓冲端、一内部电路、一 VSS 电源接脚以及一 VDD 电源接脚,其特征是: 该 ESD 防护电路包含有:

一第一 ESD 保护元件结构,电连接于该 VSS 电源接脚、该输入/输出缓冲端与该内部电路,该第一 ESD 保护元件结构包含有:

一 P 型阱;

至少一 NMOS,设于该 P 型阱中,且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管,而该 NMOS 的漏极与该 NMOS 的源极分别电连接于该输

入/输出缓冲端以及该 VSS 电源接脚;

至少一第一 P+扩散区域, 设于该 P 型阱中;

至少一虚置栅极, 该虚置栅极包含有 P 型掺质以及 N 型掺质, 设于该 NMOS 以及该第一 P+扩散区域之间;

5 至少一第二 P+扩散区域, 设于该 P 型阱中, 用来电连接该 VSS 电源接脚; 以及

至少一第一浅沟隔离, 用以隔离该 NMOS 与该第二 P+扩散区域;

一正向衬底偏压电路, 电连接于该 VSS 电源接脚、该输入/输出缓冲端、该内部电路以及该第一 ESD 保护元件结构的该第一 P+扩散区域, 该正向衬底偏压电路包含有:

一第一电子元件, 电连接于该输入/输出缓冲端、该内部电路以及该第一 ESD 保护元件结构的该第一 P+扩散区域; 以及

15 一第二电子元件, 电连接于该 VSS 电源接脚以及该第一 ESD 保护元件结构的该第一 P+扩散区域;

一第二 ESD 保护元件结构, 电连接于该 VDD 电源接脚、该输入/输出缓冲端与该内部电路, 该第二 ESD 保护元件结构包含有:

一 N 型阱;

20 至少一 PMOS, 设于该 N 型阱中, 且该 PMOS 的漏极、该 N 型阱以及该 PMOS 的源极形成一寄生横向 p-n-p 双极型晶体管, 而该 PMOS 的漏极与该 PMOS 的源极分别电连接于该输入/输出缓冲端以及该 VDD 电源接脚;

至少一第一 N+扩散区域, 设于该 N 型阱中;

25 至少一虚置栅极, 该虚置栅极包含有 P 型掺质以及 N 型掺质, 设于该 PMOS 以及该第一 N+扩散区域之间;

至少一第二 N+扩散区域，设于该 N 型阱中，用来电连接该 VDD 电源接脚；以及

至少一第二浅沟隔离，用以隔离该 PMOS 与该第二 N+扩散区域；

- 5 一负向衬底驱动电路，电连接于该 VDD 电源接脚、该输入/输出缓冲端、该内部电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域，该负向衬底驱动电路包含有：

一第三电子元件，电连接于该输入/输出缓冲端、该内部电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域；

10 以及

一第四电子元件，电连接于该 VDD 电源接脚以及该第二 ESD 保护元件结构的该第一 N+扩散区域。

24. 如权利要求 23 所述的 ESD 防护电路，其特征是：当一正 ESD 电压脉冲被施加于该输入/输出缓冲端且 VSS 接地而 VDD 浮接时，该正 ESD 电压脉冲会通过该第二电子元件与该第一电子元件产生一耦合电压并经由该第一 P+掺杂区而施加于该 P 型阱，以触发该寄生横向 n-p-n 双极型晶体管，使该 ESD 电压脉冲的电流得以经由该 NMOS 下方的该 P 型阱而被快速释放至该 VSS 电源接脚。
- 15

25. 如权利要求 23 所述的 ESD 防护电路，其特征是：当一负 ESD 电压脉冲被施加于该输入/输出缓冲端且 VSS 接地而 VDD 浮接时，该负 ESD 电压脉冲的电流会经由该 NMOS 的漏极与该 P 型阱所构成的顺向偏压接面而被释放至该 VSS 电源接脚。
- 20

26. 如权利要求 23 所述的 ESD 防护电路，其特征是：当一负 ESD 电压脉冲被施加于该输入/输出缓冲端且 VDD 接地而 VSS 浮接时，该负 ESD 电压脉冲会通过该第三电子元件与该第四电子元件产生一耦合电压并经由该第一 N+掺杂区而施加于该 N 型阱，以触发该寄生横向 p-n-p 双极型晶
- 25

体管，使该负 ESD 电压脉冲的电流得以经由该 PMOS 下方的该 N 型阱而被快速释放至该 VDD 电源接脚。

27. 如权利要求 23 所述的 ESD 防护电路，其特征是：当一正 ESD 电压脉冲被施加于该输入/输出缓冲端且 VDD 接地而 VSS 浮接时，该正 ESD 电压脉冲的电流会经由该 PMOS 的漏极与该 N 型阱所构成的顺向偏压接面而被释放至该 VDD 电源接脚。

28. 如权利要求 23 所述的 ESD 防护电路，其特征是：该第一电子元件包含有一电阻或二极管。

29. 如权利要求 23 所述的 ESD 防护电路，其特征是：该第二电子元件包含有一电阻、电容或一基纳二极管。

30. 如权利要求 23 所述的 ESD 防护电路，其特征是：该第三电子元件包含有一电阻、电容或一基纳二极管。

31. 如权利要求 23 所述的 ESD 防护电路，其特征是：该第四电子元件包含有一电阻或二极管。

32. 如权利要求 23 所述的 ESD 防护电路，其特征是：另包含有一前驱电路，电连接于该 VDD 电源接脚、该 VSS 电源接脚、该内部电路、该 NMOS 的栅极以及该 PMOS 的栅极。

33. 一种电源线 ESD 箝制电路，该电源线 ESD 箝制电路电连接于一 VSS 电源接脚以及一 VDD 电源接脚，其特征是：该电源线 ESD 箝制电路包含有：

一 ESD 保护元件结构，该 ESD 保护元件结构包含有：

一 P 型阱；

一 NMOS，设于该 P 型阱中，且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该 NMOS 的漏极与该 NMOS 的源极分别电连接于该 VDD 电源接脚以及该 VSS 电源接脚；

一第一 P+扩散区域，设于该 P 型阱中；

一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+扩散区域之间；

5 一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及

一第一浅沟隔离，用以隔离该 NMOS 与该第二 P+扩散区域；

一衬底偏压电路，电连接于该 VSS 电源接脚、VDD 电源接脚以及该 ESD 保护元件结构的该第一 P+扩散区域，该正向衬底偏压电路包含有：

10 一 MOS，该 MOS 的源极经由一 P 型阱电阻与该 VSS 电源接脚电连接，该 MOS 的漏极电连接于该 VDD 电源接脚，该 MOS 的栅极经由一第一电子元件以及一第二电子元件而分别与
该 VSS 电源接脚以及该 VDD 电源接脚相电连接。

34. 如权利要求 33 所述的电源线 ESD 箝制电路，其特征是：该 MOS
15 为一 NMOS，且该第一电子元件与该第二电子元件分别为一电阻以及一电容。

35. 如权利要求 33 所述的电源线 ESD 箝制电路，其特征是：该 MOS
为一 PMOS，且该第一电子元件与该第二电子元件分别为一二极管以及一电阻。

20 36. 一种电源线 ESD 箝制电路，该电源线 ESD 箝制电路电连接于一 VSS 电源接脚以及一 VDD 电源接脚，其特征是：该电源线 ESD 箝制电路包含有：

一 ESD 保护元件结构，该 ESD 保护元件结构包含有：

一 P 型阱；

25 一 NMOS，设于该 P 型阱中，且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体

管，而该 NMOS 的漏极与该 NMOS 的源极分别电连接于该 VDD 电源接脚以及该 VSS 电源接脚；

一第一 P+扩散区域，设于该 P 型阱中；

5 一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+扩散区域之间；

一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及

一第一浅沟隔离，用以隔离该 NMOS 与该第二 P+扩散区域；

10 一衬底偏压电路，电连接于该 VSS 电源接脚、VDD 电源接脚以及该 ESD 保护元件结构的该第一 P+扩散区域，该正向衬底偏压电路包含有：

一电阻，电连接于该 VSS 电源接脚以及该 ESD 保护元件结构的该第一 P+扩散区域；以及

15 一基纳二极管，电连接于该 VDD 电源接脚、该电阻以及该第一 ESD 保护元件结构的该第一 P+扩散区域。

高衬底触发效应的静电放电保护元件结构及其应用电路

技术领域

5

本发明提供一种 ESD 保护元件结构及其应用电路, 尤指一种具有高衬底触发效应 (substrate-triggered effect) 的静电放电 (electrostatic discharge, ESD) 保护元件结构及其应用电路。

10 背景技术

随着半导体集成电路装置的尺寸持续缩小, 在深次微米的互补式金属氧化物半导体 (CMOS) 的技术中, 较浅的接面深度 (junction depth)、更薄的栅极氧化层 (gate oxide) 的厚度, 加入轻掺杂的漏极 (LDD)、浅沟隔离 (STI) 以及自行对准金属硅化物 (self-aligned silicide) 等制程已成为标准制程。但是上述的制程却使得集成电路产品更容易遭受静电放电 (electrostatic discharge, ESD) 的损害, 因此芯片中必需加入 ESD 防护电路设计来保护集成电路免受 ESD 的损害。而一般市场上的集成电路产品, 在人体放电模式 (Human-Body Model, HBM) 中, 至少要有高于 2000 伏特以上耐压能力, 为了承受如此大的 ESD 电压, ESD 保护电路必需被设计成具有足够大的元件尺寸, 因而增加所占用硅晶片的面积。

就一个典型的例子而言, 在输入输出电路 (I/O circuits) 的 ESD 防护电路设计中, NMOS 的通道宽度经常大于 $300\text{ }\mu\text{m}$ 。对于如此大尺寸的元件设

计, NMOS 在布局上经常被绘制成具有并联的多指状结构(finger)。然而, 当 ESD 的电压产生时, ESD 防护电路中的多指状布局无法同时被导通以释放 ESD 电流, 只有部份手指布局会被导通, 因此这些手指布局就会被 ESD 脉冲所烧坏。因此, 虽然 ESD 防护电路中的 NMOS 已经占用非常大的尺寸, 但是所能承受的 ESD 电压却非常低。

为了改善这些多指状布局结构被不均匀导通的情形, 栅极驱动 (gate-driven) 的设计已经被采用, 以用来增加保护电路中大尺寸 NMOS 的 ESD 抗压能力。然而在 ESD 防护电路中的栅极驱动 (gate-driven) NMOS, 于栅极驱动电压增加至特定值以上时, 却产生 ESD 耐受度急速减少的现象。因为栅极驱动设计将 ESD 电流引导至 NMOS 的通道表面, NMOS 反而更容易因 ESD 电流而被烧坏。

请参考图 1, 图 1 为传统栅极驱动技术中的 ESD 保护设计的电路图。由于所有栅极驱动技术中的 ESD 保护设计都是使用相同的基本概念所设计出来的, 故现以图 1 所揭露的一种利用栅极驱动技术的 ESD 保护设计来作说明。ESD 保护电路设计 10 包含有一个 ESD 保护电路的 NMOS 12, 而 NMOS 12 包含有一源极 13、一漏极 14 及一栅极 16。漏极 14 与一缓冲端 18 相连接, 栅极 16 则由一栅极偏压电路 (gate-biased circuit) 20 施予电压。在传统设计中, 栅极偏电路 20 大多会配置一对电容器及电阻, 该电容器用以连接缓冲端与栅极, 而该电阻则用以连接栅极与 VSS 电源接脚。此外, ESD 保护电路设计 10 通过一导线 23 来电连接一内电路 22 和一缓冲端 18。

当一正极性的 ESD 电压由输入/输出缓冲端 18 导入时, 急速上升的 ESD 电压会与 ESD 保护电路 NMOS 12 的栅极 16 产生耦合, 使 NMOS12 被打开以将 ESD 电流经由缓冲端 18 排放至 VSS 电源接脚, 这就是所谓的栅极耦合设计或

是栅极驱动设计的 ESD 防护电路。虽然被偏压的栅极可以改善 ESD 保护电路中的多指状布局结构不同时导通的缺点，但是过高的栅极偏压也会造成 ESD 电流集中流经 NMOS 通道表面的反转层(inversion layer)，因而把 NMOS 通道烧毁。

5 请参阅图 2，图 2 为 ESD 电流流过 ESD 保护电路中栅极驱动 NMOS 的路径的示意图。如图 2 所示，ESD 保护电路中的 NMOS 30 包含一个 P 型衬底 31，一个 P 型阱 32 位于 P 型衬底 31 中，以及一个 NMOS 34 设于 P 型阱 32 中。NMOS 34 包含有一源极 35、一漏极 36、一掺杂多晶硅栅极 37 以及二轻掺杂漏极（LDD）38 分别设于源极 35 与漏极 36 的旁边。源极 35 被电连接至 VSS
10 电源接脚，漏极 36 被电连接至缓冲端（I/O buffering pad）40，而栅极 37 则被电连接至一栅极偏压电路 42。ESD 损害通常发生在漏极 36 旁边的轻掺杂漏极 38 尖端附近的表面通道。

 当一正极性的 ESD 电压由输入/输出缓冲端 40 导入时，栅极偏压电路 42 产生一偏压(VG)施加于 NMOS 34 中的栅极 37，并使 NMOS 34 的表面通道
15 被导通。由于表面通道的反转层接面深度极浅，体积亦较小，不但容易因过热而烧毁，也容易使 NMOS 34 被静电放电所损害，而 ESD 损害通常发生在漏极 36 旁边的轻掺杂漏极 38 角落(cornor)附近的表面通道。因此当较大的 ESD 电流，典型的例子为 1.33Amp（for a 2kV HBM ESD）流经 NMOS 34 中很浅的表面通道时，常会烧毁 NMOS 34，就算是 NMOS 34 具有大的元件尺寸亦无法
20 避免这样的情形发生。

 请参阅图 3，图 3 为栅极驱动电压与 NMOS 的人体静电放电值（HBM）于 CMOS 0.35 μm 的金属自行对准硅化物制程的实验关系图。如图 3 所示，ESD 保护电路 12 中 NMOS 的人体静电放电值（HBM）会随着栅极驱动电压的增加

而开始增加。但是 NMOS 的人体静电放电值 (HBM) 在栅极驱动电压增加至某一临界值时便会急速减少。其中, ESD 保护电路 NMOS 12 于图 3 中所得的实验数据是取自于一固定通道长度为 $0.8\ \mu\text{m}$ 。当 NMOS 的通道宽度 $W=600\ \mu\text{m}$ 时, NMOS 的人体静电放电值将会在栅极驱动电压约为 8.5V 时而锐减。因此, 栅极驱动设计应用于深次微米技术的 ESD 保护电路时, 无法持续地有效增加 ESD 强度 (ESD robustness)。

请参阅图 4, 图 4 为目前于集成电路上使用的 ESD 保护电路图的另一个习知技术。其设计的基本概念是衬底触发 (substrate-triggered) 技术。如图 4 所示, ESD 保护电路 50 包含有一 NMOS 52、一内部电路 62、一缓冲端 58、一衬底偏压电路 60 以及一电连接内部电路 62 以及缓冲端 58 的导线 63。NMOS 52 包含有一源极 53, 一电连接至缓冲端 58 的漏极 54、一栅极 55 以及一接受衬底驱动电路 60 所施予的电压的衬底 56。

当一正极性的 ESD 电压由输入/输出缓冲端 58 被导入时, ESD 保护电路 50 中 NMOS 52 的衬底会被衬底偏压电路 60 所施予的一电压所偏压 (biased)。因为此衬底偏压的产生, 位于 NMOS 52 中的一寄生横向双极型晶体管 (BJT) 64 会被触发而排放 ESD 电流。在上述的衬底触发技术中, 流经 NMOS 52 的 ESD 电流将不会流经表面通道, 故相较于栅极驱动技术, NMOS 52 可以承受较大的 ESD 电压。

请参阅图 5, 图 5 为衬底偏压与 NMOS 的人体静电放电值于 $0.35\ \mu\text{m}$ 金属自行对准硅化物制程的实验关系图。如图 5 所示, 被衬底触发的 NMOS 52 的人体静电放电值会一直随着衬底偏压的增加而增加。这样的结果与栅极驱动设计有很明显的不同。因为衬底触发效应将会触发 NMOS 52 中的寄生横向双极型晶体管 64, 故能将电流导向 NMOS 52 的衬底, 而非流经表面通道与漏

极中的轻掺杂漏极的角落。因为 NMOS 52 衬底具有相对而言非常大的体积来发散 ESD 电流所产生的热能，因此衬底触发 NMOS 52 即使是被设计在相同面积的硅晶片时，也可以承受较高的 ESD 电压。是以应用于晶片上的衬底触发 ESD 保护技术在 CMOS 的深次微米制程中相形的下显得更为重要与更为有效。

5 请参阅图 6，图 6 为衬底触发设计的 NMOS 的剖面示意图。NMOS 70 包含有一 P 型衬底 71，一 P 型阱 72 设于 P 型衬底中 71 中，以及二 NMOS 73 设于 P 型阱 72 中。其中 NMOS 73 包含有一源极 75、一漏极 76、一掺杂多晶栅极 74、两轻掺杂漏极 79 分别位于源极 75 及漏极 76 旁边、两用以隔绝 NMOS 73 与其他电子元件设计的浅沟隔离 (STI) 77、78、一 P+扩散区域 81 位于浅
10 沟隔离 77 旁边，用以作为与电源接脚 VSS 的电路连接，以及另一 P+扩散区域 80 位于浅沟隔离 78 旁边，用以作为与一衬底触发电路 82 的电路连接。其中，形成于 NMOS 73 下方的寄生横向双极型晶体管 84 可被一由 P+扩散区域 80 所传导至的触发电流 (I_{trig}) 所触发。

由于在典型的 $0.18\ \mu\text{m}$ 制程中，浅沟隔离 77、78 的深度大多介于 $0.4\sim$
15 $0.5\ \mu\text{m}$ (由硅晶片表面算起) 之间，而源极 75、漏极 76、扩散层接面深度则仅有 $0.15\ \mu\text{m}$ 。因此，虽然增加浅沟隔离 77、78 的深度对于两相邻扩散区域可提供较佳的隔绝效果，然而加深浅沟隔离 78 的深度，却也会降低 NMOS 73 衬底触发的效果。这是因为当浅沟隔离 78 的深度增加，由 P+扩散区域 80 所传导过来的触发电流将会难以顺偏位于衬底中的寄生横向双极型晶体管 84
20 的基极 (base)，进而导致位于 NMOS 73 中的寄生横向双极型晶体管 84 被触发的速度变慢，而大幅地降低了 NMOS 73 对于内电路 (未显示) 的 ESD 保护效果。

因此，如何发展出一种避免上述所提及的电流集中流经表面通道，以

及避免因浅沟隔离减慢寄生横向双极型晶体管的触发时间的ESD保护电路便已成为本发明的重要目标。

发明内容

5

因此本发明的主要目的是提供一种具有高衬底触发效应(substrate-triggered effect)的ESD保护元件结构及其应用电路,以提升ESD保护电路的驱动速度并同时解决习知散热问题。

为此,本发明首先提出一种高衬底触发效应的N通道金属氧化物半导体元件结构,该NMOS元件结构形成于一衬底的P型阱上,其中:该NMOS元件结构包含有:一栅极,设于该P型阱中;一第一N+扩散区域,设于该P型阱中,用来当作该NMOS元件结构的漏极;一第二N+扩散区域,设于该P型阱中,用来当作该NMOS元件结构的源极,且该第一N+扩散区域、该P型阱以及该第二N+扩散区域形成一寄生横向n-p-n双极型晶体管的集极、基极与射极;一第一P+扩散区域,设于该P型阱中,用来电连接一P型阱偏压电路;一虚置栅极,该虚置栅极包含有P型掺质以及N型掺质,设于该第一N+扩散区域以及该第一P+扩散区域之间;一第二P+扩散区域,设于该P型阱中,用来电连接一VSS电源接脚;以及一浅沟隔离,用以隔离该第二N+扩散区域与该第二P+扩散区域;其中当该P型阱偏压电路诱发一衬底触发电流时,该衬底触发电流会由该第一P+扩散区域流过该虚置栅极下方的该P型阱而开启该寄生横向双极型晶体管,以使电连接至该漏极的一特定电流被快速经由该源极而传导至该VSS电源接脚。

本发明还提出另一种高衬底触发效应的P通道金属氧化物半导体元件结构,该PMOS元件结构形成于一衬底的N型阱上,其中:该PMOS元件结构包含有:一栅极,设于该N型阱中;一第一P+扩散区域,设于该N型阱中,用来当作该PMOS元件结构的漏极;一第二P+扩散区域,设于该N型阱中,

用来当作该 PMOS 元件结构的源极，且该第一 P+扩散区域、该 N 型阱以及该第二 P+扩散区域形成一寄生横向 p-n-p 双极型晶体管的集极、基极与射极；一第一 N+扩散区域，设于该 N 型阱中，用来电连接一 N 型阱偏压电路；一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该第一 P+扩散区域以及该第一 N+扩散区域之间；一第二 N+扩散区域，设于该 N 型阱中，用来电连接一 VDD 电源接脚；以及一浅沟隔离，用以隔离该第二 P+扩散区域与该第二 N+扩散区域；其中当该 N 型阱偏压电路诱发一衬底触发电流时，该衬底触发电流会流过该虚置栅极下方的该 N 型阱至该第一 N+扩散区域而开启该寄生横向双极型晶体管，以使电连接至该漏极的一特定电流被快速经由该源极而传导至该 VDD 电源接脚。

其次，本发明提出一种 ESD 保护元件结构，该 ESD 保护元件结构形成于一衬底的 P 型阱上，其中该 ESD 保护元件结构包含有：至少一 NMOS，设于该 P 型阱中，且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该 NMOS 的漏极与该 NMOS 的源极则分别电连接于一输入/输出缓冲端以及一 VSS 电源接脚；至少一第一 P+扩散区域，设于该 P 型阱中，用来电连接一 P 型阱偏压电路；至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+扩散区域之间；至少一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及至少一浅沟隔离，用以隔离该 NMOS 与该第二 P+扩散区域；其中当一 ESD 电压脉冲被施加于该输入/输出（I/O）缓冲端时，该 P 型阱偏压电路会诱发一衬底触发电流，并由该第一 P+扩散区域直接流经该虚置栅极下方的该 P 型阱至该寄生横向双极型晶体管的该基极而触发该寄生横向双极型晶体管，以快速释放该 ESD 电压脉冲的电流至该 VSS 电源接脚。

本发明还提出另一种 ESD 保护元件结构，该 ESD 保护元件结构形成于一衬底的 N 型阱上，其中：该 ESD 保护元件结构包含有：至少一 PMOS，设于该 N 型阱中，且该 PMOS 的漏极、该 N 型阱以及该 PMOS 的源极形成一寄生横

向 p-n-p 双极型晶体管，而该 PMOS 的漏极与该 PMOS 的源极则分别电连接于一输入/输出缓冲端以及一 VDD 电源接脚；至少一第一 N+扩散区域，设于该 N 型阱中，用来电连接一 N 型阱偏压电路；至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 PMOS 以及该第一 N+扩散区域之间；至少一第二 N+扩散区域，设于该 N 型阱中，用来电连接该 VDD 电源接脚；以及至少一浅沟隔离，用以隔离该 PMOS 与该第二 N+扩散区域；其中当一 ESD 电压脉冲被施加于该输入/输出（I/O）缓冲端时，该 N 型阱偏压电路会诱发一衬底触发电流，并由该寄生横向双极型晶体管的该基极直接流经该虚置栅极下方的该 N 型阱至该第一 N+扩散区域而开启该寄生横向双极型晶体管，以快速释放该 ESD 电压脉冲的电流至该 VDD 电源接脚。

再者，本发明提出一种静电放电防护电路，该 ESD 防护电路电连接于一输入/输出缓冲端、一内部电路、一 VSS 电源接脚以及一 VDD 电源接脚，其中该 ESD 防护电路包含有：

一第一 ESD 保护元件结构，电连接于该 VSS 电源接脚、该输入/输出缓冲端与该内部电路，该第一 ESD 保护元件结构包含有：一 P 型阱；至少一第一 NMOS，设于该 P 型阱中，且该第一 NMOS 的漏极、该 P 型阱以及该第一 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该第一 NMOS 的漏极与该第一 NMOS 的源极分别电连接于该输入/输出缓冲端以及该 VSS 电源接脚；至少一第一 P+扩散区域，设于该 P 型阱中；至少一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该第一 NMOS 以及该第一 P+扩散区域之间；至少一第二 P+扩散区域，设于该 P 型阱中，用来电连接该 VSS 电源接脚；以及至少一第一浅沟隔离，用以隔离该第一 NMOS 与该第二 P+扩散区域；

一正向衬底偏压电路，电连接于该 VSS 电源接脚、该输入/输出缓冲端、

该内部电路以及该第一 ESD 保护元件结构的该第一 P+扩散区域,该正向衬底偏压电路包含有:一第二 NMOS,该第二 NMOS 的源极经由一 P 型阱电阻(R_{PW})与该 VSS 电源接脚电连接,该第二 NMOS 的漏极电连接于该输入/输出缓冲端,该第二 NMOS 的栅极经由一第一电子元件以及一第二电子元件而分别与该 VSS 电源接脚以及该输入/输出缓冲端相电连接;

一第二 ESD 保护元件结构,电连接于该 VDD 电源接脚、该输入/输出缓冲端与该内部电路,该第二 ESD 保护元件结构包含有:一 N 型阱;至少一第一 PMOS,设于该 N 型阱中,且该第一 PMOS 的漏极、该 N 型阱以及该第一 PMOS 的源极形成一寄生横向 p-n-p 双极型晶体管,而该 PMOS 的漏极与该第一 PMOS 的源极分别电连接于该输入/输出缓冲端以及该 VDD 电源接脚;至少一第一 N+扩散区域,设于该 N 型阱中;至少一虚置栅极,该虚置栅极包含有 P 型掺质以及 N 型掺质,设于该第一 PMOS 以及该第一 N+扩散区域之间;至少一第二 N+扩散区域,设于该 N 型阱中,用来电连接该 VDD 电源接脚;以及至少一第二浅沟隔离,用以隔离该第一 PMOS 与该第二 N+扩散区域;

一负向衬底驱动电路,电连接于该 VDD 电源接脚、该输入/输出缓冲端、该内部电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域,该负向衬底驱动电路包含有:一第二 PMOS,该第二 PMOS 的源极经由一 N 型阱电阻(R_{NW})与该 VDD 电源接脚电连接,该第二 PMOS 的漏极电连接于该输入/输出缓冲端,该第二 PMOS 的栅极经由一第三电子元件以及一第四电子元件而分别与该 VDD 电源接脚以及该输入/输出缓冲端相电连接。

本发明还提出另一种 ESD 防护电路,该 ESD 防护电路电连接于一输入/输出缓冲端、一内部电路、一 VSS 电源接脚以及一 VDD 电源接脚,其中:该 ESD 防护电路包含有:

一第一ESD保护元件结构,电连接于该VSS电源接脚、该输入/输出缓冲端与该内部电路,该第一ESD保护元件结构包含有:一P型阱;至少一NMOS,设于该P型阱中,且该NMOS的漏极、该P型阱以及该NMOS的源极形成一寄生横向n-p-n双极型晶体管,而该NMOS的漏极与该NMOS的源极分别电连接于该输入/输出缓冲端以及该VSS电源接脚;至少一第一P+扩散区域,设于该P型阱中;至少一虚置栅极,该虚置栅极包含有P型掺质以及N型掺质,设于该NMOS以及该第一P+扩散区域之间;至少一第二P+扩散区域,设于该P型阱中,用来电连接该VSS电源接脚;以及至少一第一浅沟隔离,用以隔离该NMOS与该第二P+扩散区域;

一正向衬底偏压电路,电连接于该VSS电源接脚、该输入/输出缓冲端、该内部电路以及该第一ESD保护元件结构的该第一P+扩散区域,该正向衬底偏压电路包含有:一第一电子元件,电连接于该输入/输出缓冲端、该内部电路以及该第一ESD保护元件结构的该第一P+扩散区域;以及一第二电子元件,电连接于该VSS电源接脚以及该第一ESD保护元件结构的该第一P+扩散区域;

一第二ESD保护元件结构,电连接于该VDD电源接脚、该输入/输出缓冲端与该内部电路,该第二ESD保护元件结构包含有:一N型阱;至少一PMOS,设于该N型阱中,且该PMOS的漏极、该N型阱以及该PMOS的源极形成一寄生横向p-n-p双极型晶体管,而该PMOS的漏极与该PMOS的源极分别电连接于该输入/输出缓冲端以及该VDD电源接脚;至少一第一N+扩散区域,设于该N型阱中;至少一虚置栅极,该虚置栅极包含有P型掺质以及N型掺质,设于该PMOS以及该第一N+扩散区域之间;至少一第二N+扩散区域,设于该N型阱中,用来电连接该VDD电源接脚;以及至少一第二浅沟隔离,用以隔

离该 PMOS 与该第二 N+扩散区域;

一负向衬底驱动电路,电连接于该 VDD 电源接脚、该输入/输出缓冲端、该内部电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域,该负向衬底驱动电路包含有:一第三电子元件,电连接于该输入/输出缓冲端、该内部
5 电路以及该第二 ESD 保护元件结构的该第一 N+扩散区域;以及一第四电子元件,电连接于该 VDD 电源接脚以及该第二 ESD 保护元件结构的该第一 N+扩散区域。

最后,本发明提出一种电源线 ESD 箝制电路,该电源线 ESD 箝制电路电连接于一 VSS 电源接脚以及一 VDD 电源接脚,其中:该电源线 ESD 箝制电
10 路包含有:

一 ESD 保护元件结构,该 ESD 保护元件结构包含有:一 P 型阱;一 NMOS,设于该 P 型阱中,且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管,而该 NMOS 的漏极与该 NMOS 的源极分别电连接于该 VDD 电源接脚以及该 VSS 电源接脚;一第一 P+扩散区域,设于该 P 型阱
15 中;一虚置栅极,该虚置栅极包含有 P 型掺质以及 N 型掺质,设于该 NMOS 以及该第一 P+扩散区域之间;一第二 P+扩散区域,设于该 P 型阱中,用来电连接该 VSS 电源接脚;以及一第一浅沟隔离,用以隔离该 NMOS 与该第二 P+扩散区域;

一衬底偏压电路,电连接于该 VSS 电源接脚、VDD 电源接脚以及该 ESD
20 保护元件结构的该第一 P+扩散区域,该正向衬底偏压电路包含有:一 MOS,该 MOS 的源极经由一 P 型阱电阻 (R_{LPW}) 与该 VSS 电源接脚电连接,该 MOS 的漏极电连接于该 VDD 电源接脚,该 MOS 的栅极经由一第一电子元件以及一第二电子元件而分别与该 VSS 电源接脚以及该 VDD 电源接脚相电连接。

本发明还提出另一种电源线 ESD 箝制电路，该电源线 ESD 箝制电路电连接于一 VSS 电源接脚以及一 VDD 电源接脚，其中：该电源线 ESD 箝制电路包含有：

一 ESD 保护元件结构，该 ESD 保护元件结构包含有：一 P 型阱；一 NMOS，
5 设于该 P 型阱中，且该 NMOS 的漏极、该 P 型阱以及该 NMOS 的源极形成一寄生横向 n-p-n 双极型晶体管，而该 NMOS 的漏极与该 NMOS 的源极分别电连接于该 VDD 电源接脚以及该 VSS 电源接脚；一第一 P+扩散区域，设于该 P 型阱中；一虚置栅极，该虚置栅极包含有 P 型掺质以及 N 型掺质，设于该 NMOS 以及该第一 P+扩散区域之间；一第二 P+扩散区域，设于该 P 型阱中，用来
10 电连接该 VSS 电源接脚；以及一第一浅沟隔离，用以隔离该 NMOS 与该第二 P+扩散区域；

一衬底偏压电路，电连接于该 VSS 电源接脚、VDD 电源接脚以及该 ESD 保护元件结构的该第一 P+扩散区域，该正向衬底偏压电路包含有：一电阻，电连接于该 VSS 电源接脚以及该 ESD 保护元件结构的该第一 P+扩散区域；以
15 及一基纳二极管，电连接于该 VDD 电源接脚、该电阻以及该第一 ESD 保护元件结构的该第一 P+扩散区域。

由于本发明利用虚置栅极来阻断位于金属氧化物半导体的漏极扩散区及连接衬底驱动电路扩散区的浅沟隔离，并以衬底驱动电路所产生的衬底驱动电流 I_{trig} 来加速释放 ESD 电流，进而解决 ESD 电流流向表面通道所产生
20 散热不易的问题。因此，本发明不但能有效地增加 ESD 强度，进而增加 MOS 对 ESD 防护的效果，而且这样的 MOS 结构更可完全相容于一般的 CMOS 制程。

附图说明

图 1 为习知栅极驱动技术的 ESD 保护设计电路图;

图 2 为习知 ESD 电流流过 ESD 保护电路中栅极驱动 NMOS 的路径的示意图;

5 图 3 为习知栅极驱动 NMOS 元件的栅极驱动电压与人体静电放电值的关系示意图;

图 4 为习知衬底触发技术的 ESD 保护设计电路图;

图 5 为习知衬底触发 NMOS 元件的衬底触发电压与人体静电放电值的关系示意图;

10 图 6 为习知衬底触发 ESD 保护电路中的 NMOS 的剖面图;

图 7 为本发明的具有高衬底触发效应的 N 型 ESD 保护元件结构的剖面图;

图 8 为本发明的 NMOS 元件的布局示意图;

15 图 9 为本发明的具有高衬底触发效应的 P 型 ESD 保护元件结构的剖面图;

图 10 为本发明输入级静电放电防护电路的示意图;

图 11 为本发明输出级静电放电防护电路的示意图;

图 12 为本发明的电源线 ESD 箝制电路的示意图;

图 13 为本发明为本发明的电源线 ESD 箝制电路的示意图;

20 图 14 为本发明输入级静电放电防护电路的示意图;

图 15 则为本发明一输出级静电防护电路的示意图;

图 16 为本发明的电源线 ESD 箝制电路的示意图;

图 17 为本发明的电源线 ESD 箝制电路示意图。

图示详细说明

10、50、400 ESD 保护电路设计

12、30、34、52、70、73、90、93、204、212、304、312、412、404、

5 512、612、712 NMOS

13、35、53、75、95、115 源极

14、36、54、76、96、116、235 漏极

16、55、206、226、306、406 栅极

18、40、58、210、510、610 缓冲端

10 64、84、104、214、414、514、534、614、634、714、834 寄生横

向双极型晶体管 (BJT)

110、113、232、332、224、420、426、454、532、632、832PMOS

37、74、94、114 掺杂多晶硅栅极

38、79、97、117 轻掺杂漏极 (LDD)

15 60、82、102、122 衬底触发电路

81、80、99、100P+扩散区域

20、42 栅极偏压电路

22 内电路

23、63 导线

20 31、71、91、111P 型衬底

56、65、105 衬底

32、72、92、112P 型阱

77、78 浅沟隔离

- 202、222、302 电容器
- 119、120 N+扩散区域
- 208、228、308、418 电阻
- 98、118 虚置栅极 (G2)
- 5 200、500 输入级 ESD 防护电路
- 300、600 输出级 ESD 防护电路
- 400、700、800 ESD 箝制电路
- 466 二极管
- 516、536、616、636、716、816 基纳二极管

10

具体实施方式

请参阅图 7，图 7 为本发明的具有高衬底触发效应 (substrate-triggered effect) 的 ESD 保护元件 90 结构 (ESD protection device structure) 的剖面图。如图 7 所示，ESD 保护元件 90 结构形成于一 P 衬底 91 的 P 型阱 92 上，ESD 保护元件 90 结构包含有二 NMOS 元件 93 位于 P 型阱 92 中，二电连接于 VSS 电源接脚的 P+ 扩散区域 99、一电连接于一衬底触发电路 102 的 P+ 扩散区域 100、二虚置栅极 98 设于各 NMOS 93 以及 P+ 扩散区域 100 之间，以及二浅沟隔离设于各 NMOS 93 以及各 P+ 扩散区域 99 之间。其中，各 NMOS 93 均另包含有一电连接于 VSS 电源接脚的源极 95，一电连接于一输入/输出 (I/O) 缓冲端 (未显示) 的漏极 96、一掺杂多晶硅栅极 94 以及两轻掺杂漏极 97。

由于各 NMOS 93 的漏极 96 与源极 95 以及 P 型阱 92 构成一寄生横向双

极型 (parasitic lateral n-p-n BJT) 104, 并可被衬底触发电路 102 予以快速触发, 以提升 ESD 保护元件 90 结构的衬底触发效应 (substrate-triggered effect)。因此当寄生横向双极型晶体管 104 被衬底触发电路 102 所触发时, 亦即寄生横向双极型晶体管 104 会被位于扩散区域 5 100 所传导过来的电流触发时, 便可以快速地将由该输入/输出 (I/O) 缓冲端所导入 ESD 保护元件 90 结构中的静电电流经由 VSS 电源接脚加以释放。值得注意的是, 在上述本发明的 ESD 保护元件 90 结构中的各 NMOS93 为一标准的 NMOS 结构, 然结合有虚置栅极 98 的 NMOS93 亦可直接视为一种具有高衬底触发效应的 N 通道金属氧化物半导体 (NMOS) 元件结构。

10 因为在 ESD 保护元件 90 结构中的各 NMOS93 以及 P+扩散区域 100 间, 未设有浅沟隔离区域, 故使得由衬底触发电路 102 所产生的衬底触发电流可以更快被传导至寄生横向双极型晶体管 104 的基极 105。因此, 于本发明所提出的这种 NMOS 元件 93 中的寄生横向双极型晶体管 104 便可以较快被触发而迅速将 ESD 电流排放。使用 NMOS 元件 93 的结构, 会使 ESD 保护电路中的 15 NMOS 93 的开启速度, 在 CMOS 的深次微米制程中, 不致因浅沟隔离而变慢。此外, 衬底触发效应可触发 NMOS 元件 93 中的寄生横向双极型晶体管 104, 并使电流流经 NMOS 93 的衬底, 而非流经 NMOS93 的表面通道。也正因 NMOS93 的衬底具有较大的体积, 所以比较容易将 ESD 电流所产生的热量发散。故而本发明中所提及的 NMOS93 与栅极驱动 ESD 保护电路设计 10 中的 NMOS 相较 20 时, 在占用相同的硅晶片面积时, 可以承受更大的 ESD。而与传统设有浅沟隔离区域的衬底触发 NMOS 73 相较, 本发明的 NMOS93 中的寄生横向双极型晶体管在释放 ESD 电流时, 开启动速度亦较快。

只要通过改变光罩图形, 不需更动其他制程便可制造完成本发明的结

合有虚置栅极 98 以及 NMOS93 的具有高衬底触发效应的 NMOS 元件结构。请参阅图 8，图 8 为本发明的 NMOS 元件 93 的布局示意图，而沿着虚线 7-7' 的剖面图则为图 7。如图 8 所示，虚置栅极 G2 98 为一掺杂多晶硅材质，但是虚置栅极 98 左半边接近 N+扩散区域 96 与右半边接近 P+扩散区域 100 的掺杂杂质并不相同。

虚置栅极 98 的设计只是为了取代 P+扩散区域 100 与漏极 96 之间的浅沟隔离(shallow trench isolation, STI)的形成，在 NMOS 元件 93 中并无任何功能。因此，虚置栅极 98 的掺杂浓度与掺杂形式对 NMOS 元件 93 并不会造成任何影响，为了完全与现有的 CMOS 深次微米制程相容，虚置栅极 98 被设计如图 7 及图 8 所示。虚置栅极 98 的通道长度不一定等于各 NMOS93 的通道长度。

因为 NMOS 93 中的漏极 96 以及源极 95 为 N+扩散区域，为了制程上的方便以及增加定位容忍度，虚置栅极 98 靠近漏极 96 部分的栅极区域可以被植入相同的 N+离子，而其他接近 P+扩散区域 100 的栅极区域则可以植入与 PMOS 中的漏极以及源极相同的 P+离子。因此，构成虚置栅极 98 的多晶硅材料之上，将会有 N+掺质以及 P+掺质。此元件结构的布局如图 8 所示。因此通过适当的布局设计，此衬底触发的 NMOS 元件 93 可以被广泛应用在一般的 CMOS 制程的集成电路产品中。

本发明的概念亦可以应用在 CMOS 深次微米的浅沟隔离制程中，用来增快 ESD 保护电路中 PMOS 元件的开启速度。请参阅图 9，图 9 为本发明的具有高衬底触发效应(substrate-triggered effect)的 ESD 保护元件 110 结构(ESD protection device structure)的剖面图。如图 9 所示，ESD 保护元件 110 结构形成于一 P 衬底 111 的 N 型阱 112 上，ESD 保护元件 110 结构包含

有二 PMOS 元件 113 位于 N 型阱 112 中，二电连接于 VDD 电源接脚的 N+扩散区域 119、一电连接于一衬底偏压电路 122 的 N+扩散区域 120、二虚置栅极 118 设于各 PMOS 113 以及 N+扩散区域 120 之间，以及二浅沟隔离设于各 PMOS 113 以及各 N+扩散区域 119 之间。其中，各 PMOS 113 均另包含有一电连接
5 于 VDD 电源接脚(VDD power terminal)的源极 115，一电连接于一输入/输出(I/O)缓冲端(未显示)的漏极 116、一掺杂多晶硅栅极 114 以及两轻掺杂漏极 117。

由于各 PMOS 113 的漏极 116 与源极 115 以及 N 型阱 112 构成一寄生横向双极型晶体管(parasitic lateral p-n-p BJT) 124，并可被衬底偏压电
10 路 122 予以快速触发，以提升 ESD 保护元件 110 结构的衬底触发效应(substrate-triggered effect)。因此当寄生横向双极型晶体管 124 被衬底偏压电路 122 所触发时，亦即寄生横向双极型晶体管 124 会被位于扩散区域 120 所传导过来的电流触发时，便可以快速地将由该输入/输出(I/O)缓冲端所导入 ESD 保护元件 110 结构中的静电电流经由 VDD 电源接脚加以释放。

15 同样的，相较于传统的衬底触发 ESD 保护元件，本发明的 ESD 保护元件 110 中的寄生横向双极型晶体管 124 在释放 ESD 电流时，具有较快的开启动速度，而且 ESD 电流流经 PMOS 113 的衬底，而非流经 PMOS 113 的表面通道，故较容易发散 ESD 电流所产生的热量。

请参阅图 10，图 10 为本发明输入级静电放电防护电路(electrostatic
20 discharge protection circuit) 200 的示意图。如图 10 所示，输入级 ESD 防护电路 200 可由本发明中 PMOS 元件及 NMOS 元件的衬底触发技术来说明。当一正极性的 ESD 电压脉冲被施加于输入缓冲端 210，且 VSS 接地而 VDD 浮接(floating)时，突然增加的 ESD 脉冲会经由一电容器 202 对一 NMOS 204

的栅极 206 产生一耦合电压(coupled voltage)，且耦合电压则会因为电阻 208 的存在而能在 NMOS 204 的栅极 206 上维持较久的时间。

当耦合电压大于 NMOS 的起始电压(V_{th})时，晶体管 204 会被开启，并导通部份的正 ESD 电压脉冲的电流经由 P+扩散区域 100(见图 7)导入一作为 ESD 保护的 NMOS 212 的 P 型阱(或是 P 型衬底)中。当一触发电流被晶体管 204 产生时，作为 ESD 保护的 NMOS 212 会较快被导通，以使 ESD 电流由缓冲端 210 被快速释放至 VSS 电源接脚，而不流至一内部电路(internal circuit) 211。由于晶体管 204 产生的衬底触发电流可以触发 NMOS 212 中的寄生横向双极型晶体管 214，以将电流导向 NMOS 212 的衬底，而非流向 NMOS 212 的表面通道，加上 NMOS 212 的衬底有较大的体积可以发散 ESD 电流所产生的热能，因此 NMOS 212 可以承受较大的 ESD 电压。

当一负极性的 ESD 电压脉冲被施加于输入缓冲端 210，且 VSS 接地而 VDD 浮接时，负的 ESD 电压脉冲会经由 NMOS 212 的漏极 215 与 P 型阱(P 型衬底)所构成的顺向偏压接面(forward biased junction)而被释放至 VSS 电源接脚。由于顺向偏压接面的操作电压($-0.8 - 1.0V$)较低，因此，MOS 212 可以承受较大的 ESD 电压。

同理，当一正极性的 ESD 电压脉冲被施加于输入缓冲端 210，且 VDD 接地而 VSS 浮接时，正的电压脉冲会经由 PMOS 232 的漏极 235 与 N 型阱(N 型衬底)所构成的顺向偏压接面(forward biased junction)而被释放至 VDD 电源接脚。由于顺向偏压接面的操作电压($-0.8 - 1.0V$)较低，故 PMOS 232 可以承受较大的 ESD 电压。

当一负极性的 ESD 电压脉冲被施加于输入缓冲端 210，且 VDD 接地而 VSS 浮接时，突然增加的 ESD 脉冲会经由一电容器 222 对一 PMOS 224 的栅极

226 产生一耦合电压 (coupled voltage), 且该耦合电压会因为电阻 228 的存在而能在 PMOS 224 的栅极 226 上维持较久的时间。当耦合电压小于 PMOS 224 的起始电压 (V_{th}) 时, 晶体管 224 会被开启, 并导通部份的负 ESD 电压脉冲的电流经由 N+ 扩散区域 120 (见图 9) 导入一作为 ESD 保护的 PMOS 232 的 N 型阱 (或是 N 型衬底) 中。因此, 当一触发电流被晶体管 224 产生时, 作为 ESD 保护的 PMOS 232 会较快被导通, 以使 ESD 电流由缓冲端 210 被快速释放至 VDD 电源接脚。由于晶体管 224 产生的衬底触发电流可以触发 PMOS 232 中的寄生横向双极型晶体管 234, 以将电流导向 PMOS 232 的衬底, 而非流向 PMOS 232 的表面通道, 加上 PMOS 232 的衬底有较大的体积可以发散 ESD 电流所产生的热能, 因此 PMOS 232 可以承受较大的 ESD 电压。

在本发明的第二实施例中, 相同的概念亦可应用于输出级 ESD 防护电路。图 11 为本发明输出级静电放电防护电路 (electrostatic discharge protection circuit) 300 的示意图。如图 11 所示, 输出级 ESD 防护电路 300 可由本发明中 PMOS 元件及 NMOS 元件的衬底触发技术来说明。其中, ESD 防护电路 300 的电路设计相类似于输入级 ESD 防护电路 200, ESD 防护电路 300 另包含有一前驱电路 (pre-driver circuit) 321 设于内部电路 (internal circuit) 311 与 ESD 防护电路 300 之间。如图 11 所示, 当一正极性的 ESD 电压脉冲被施加于输出缓冲端 310, 且 VSS 接地而 VDD 浮接 (floating) 时, 突然增加的 ESD 脉冲会经由一电容器 302 对一 NMOS 304 的栅极 306 产生一耦合电压 (coupled voltage), 且耦合电压会因为电阻 308 的存在而能在 NMOS 304 的栅极 306 上维持较久的时间。

当耦合电压大于 NMOS 的起始电压 (V_{th}) 时, 晶体管 304 会被开启, 并导通部份的正 ESD 电压脉冲的电流经由 P+ 扩散区域 100 (见图 7) 导入一作为

ESD 保护的 NMOS 312 的 P 型阱(或是 P 型衬底)中。而当一触发电流被晶体管 304 产生时, 作为 ESD 保护的 NMOS 312 会较快被导通, 以使 ESD 电流由缓冲端 310 被快速释放至 VSS 电源接脚。由于晶体管 304 产生的衬底触发电流可以触发 NMOS 312 中的寄生横向双极型晶体管 314, 以将电流导向 NMOS 312 的衬底, 而非流向 NMOS 312 的表面通道, 加上 NMOS 312 的衬底有较大的体积可以发散 ESD 电流所产生的热能, 因此 NMOS 312 可以承受较大的 ESD 电压。

当一负极性的 ESD 电压脉冲被施加于输入缓冲端 310, 且 VSS 接地而 VDD 浮接时, 负的 ESD 电压脉冲会经由 NMOS 312 的漏极 315 与 P 型阱(P 型衬底)所构成的顺向偏压接面(forward biased junction)而被释放至 VSS 电源接脚。因为顺向偏压接面的操作电压($-0.8 - 1.0V$)较低, NMOS 312 可以承受较大的 ESD 电压。

当一正极性的 ESD 电压脉冲被施加于输入缓冲端 310, 且 VDD 接地而 VSS 浮接时, 正的电压脉冲会经由 PMOS 332 的漏极 335 与 N 型阱(N 型衬底)所构成的顺向偏压接面(forward biased junction)而被释放至 VDD 电源接脚。由于顺向偏压接面的操作电压($-0.8 - 1.0V$)较低, PMOS 332 可以承受较大的 ESD 电压。

当一负极性的 ESD 电压脉冲被施加于输入缓冲端 310, 且 VDD 接地而 VSS 浮接时, 突然增加的 ESD 脉冲会经由一电容器 322 对一 PMOS 324 的栅极 326 产生一耦合电压(coupled voltage), 且该耦合电压会因为电阻 328 的存在而能在 PMOS 324 的栅极 326 上维持较久的时间。当耦合电压小于 PMOS 的起始电压(V_{th})时, PMOS 324 会被开启, 并导通部份的负 ESD 电压脉冲的电流经由 N+扩散区域 120(见图 9)导入一作为 ESD 保护的 PMOS 332 的 N 型阱(或

是N型衬底)中。当一触发电流被PMOS 324产生时,作为ESD保护的PMOS 332会较快被导通,以使ESD电流由缓冲端310被快速释放至VDD电源接脚。由于PMOS 324产生的衬底触发电流可以触发PMOS 332中的寄生横向双极型晶体管334,以将电流导向PMOS 332的衬底,而非流向PMOS 332的表面通道,加上PMOS 332的衬底有较大的体积可以发散ESD电流所产生的热能,因此PMOS 332可以承受较大的ESD电压。

因为ESD脉冲可能会穿过IC产品的VDD和VSS电源接脚,所以相同的发明概念亦可应用于电源线ESD箝制电路(power-rail ESD clamp circuits)。本发明的第三实施例中针对电源线ESD箝制电路所设计的ESD防护电路设计。请参阅图12,图12为本发明的电源线ESD箝制电路(power-rail ESD clamp circuits)400的示意图。当一正的ESD电压脉冲被施加于VSS电源接脚以及VDD电源接脚之间时,此时VSS接地,突然增加的ESD脉冲会经由一电容器402对一NMOS 404的栅极406产生一耦合电压(coupled voltage),且耦合电压会因为电阻408的存在而能在NMOS 404的栅极406上维持较久的时间。

当耦合电压大于NMOS 404的起始电压(V_{th})时,NMOS 404会被开启,并导通部份的正ESD电压脉冲的电流经由P+扩散区域100(见图7)导入一作为ESD保护的NMOS 412的P型阱(或是P型衬底)中。当一触发电流被NMOS 404产生时,作为ESD保护的NMOS 412会较快被导通,以使ESD电流由VDD电源接脚被快速释放至VSS电源接脚,而不流至一内部电路(internal circuit)411。由于晶体管404产生的衬底触发电流可以触发NMOS 412中的寄生横向双极型晶体管414,以将电流导向NMOS 412的衬底,而非流向NMOS 412的表面通道,加上NMOS 412的衬底有较大的体积可以发散ESD电流所产生的

热能，因此 NMOS 412 可以承受较大的 ESD 电压。

当一负的 ESD 电压脉冲被施加于 VSS 电源接脚以及 VDD 电源接脚时，此时 VSS 接地，负的 ESD 电压脉冲会经由 NMOS 412 的漏极 415 与 P 型阱(P 型衬底)所构成的顺向偏压接面(forward biased junction)而被释放至 VSS 电源接脚。因为顺向偏压接面的操作电压(-0.8 - 1.0V)较低，NMOS 412 可以承受较大的 ESD 电压。

由于晶体管 404 的栅极 406 经由电阻 408 而与电源接脚 VSS 电连接以使晶体管 404 处于一关闭状态，所以在一般操作情形下，晶体管 404 为关闭状态，因此不会有触发电流流入 NMOS 412 的衬底(P 型阱)中，而使 NMOS 412 保持在关闭状态。请参阅图 13，图 13 为本发明的电源线 ESD 箝制电路(power-rail ESD clamp circuits) 450 的另一实施例示意图。如图 13 所示，衬底触发电路由一二极管(diodes) 466，一电阻 468 及一 PMOS 454 所组成。

通过应用衬底触发技术的概念，输入/输出级 ESD 防护电路亦可以将基纳二极管(zener diode)设计在内。请参阅图 14 与 15，图 14 为本发明输入级静电放电防护电路 500 的示意图，图 15 则为本发明一输出级静电防护电路 600 的示意图。如图 14 所示，当一正的 ESD 电压脉冲被施加于输出缓冲端 510，且 VSS 接地而 VDD 浮接(floating)时，突然增加的 ESD 脉冲会导致一基纳二极管 516 的击穿，造成部份的正 ESD 电压脉冲电流经由一 P+扩散区域 100(见图 7)导入一作为 ESD 保护的 NMOS 512 的 P 型阱(或是 P 型衬底)中，以使 ESD 电流由缓冲端 510 被快速释放至 VSS 电源接脚，而不流至一内部电路(internal circuit) 511。由于基纳二极管 516 所导通的衬底触发电流可以触发 NMOS 512 中的寄生横向双极型晶体管 514，以将电流导向 NMOS 512 的衬底，而非流向 NMOS 512 的表面通道，加上 NMOS 512 的衬底有较大的体

积可以发散 ESD 电流所产生的热能，因此 NMOS 512 可以承受较大的 ESD 电压。

当一负的 ESD 电压脉冲被施加于输入缓冲端 510，且 VDD 接地而 VSS 浮接时，突然增加的 ESD 脉冲会导致一基纳二极管 536 的击穿，造成部份的负 ESD 电压脉冲电流经由一 N+ 扩散区域 120 (见图 9) 导入一作为 ESD 保护的 PMOS 532 的 N 型阱 (或是 N 型衬底) 中，以使 ESD 电流由缓冲端 510 被快速释放至 VDD 电源接脚。由于基纳二极管 536 所导通的衬底触发电流可以触发 PMOS 532 中的寄生横向双极型晶体管 534，以将电流导向 PMOS 532 的衬底，而非流向 PMOS 532 的表面通道，加上 PMOS 532 的衬底有较大的体积可以发散 ESD 电流所产生的热能，因此 PMOS 532 可以承受较大的 ESD 电压。

如图 15 所示，输出级静电防护电路 600 由二基纳二极管 616、636，一 NMOS 612，一 PMOS 632，一 NMOS 612 中的寄生横向双极型晶体管 614 以及一 PMOS 632 中的寄生横向双极型晶体管 634 所构成。输出级静电防护电路 600 设于一缓冲端 610、一前驱电路 (pre-driver circuit) 621 以及一内部电路 (internal circuit) 611 之间。其运作原理与图 14 所示的输出级静电防护电路 500 相同。

同样的概念亦可以被应用于电源线 ESD 箝制电路。请参阅图 16 与图 17，图 16 与图 17 为本发明的电源线 ESD 箝制电路 (power-rail ESD clamp circuits) 700、800 的示意图。如图 16 所示，当一正的 ESD 电压脉冲被施加于 VSS 电源接脚以及 VDD 电源接脚之间时，此时 VSS 接地，突然增加的 ESD 脉冲会导致基纳二极管 716 的击穿，造成部份的正 ESD 电压脉冲电流经由一 P+ 扩散区域 100 (见图 7) 导入一作为 ESD 保护的 NMOS 的 P 型阱 (或是 P 型衬底) 中，以使 ESD 电流被快速释放至 VSS 电源接脚，而不流至一内部电路

(internal circuit) 711。。由于基纳二极管 716 所导通的衬底触发电流可以触发 NMOS 712 中的寄生横向双极型晶体管 714, 以将电流导向 NMOS 712 的衬底, 而非流向 NMOS 712 的表面通道, 加上 NMOS 712 的衬底有较大的体积可以发散 ESD 电流所产生的热能, 因此 NMOS 712 可以承受较大的 ESD 电压。

如图 17 所示, 电源线 ESD 箝制电路 800 由一基纳二极管 816, 一 PMOS 832 以及一 PMOS 832 中的寄生横向双极型晶体管 834 所构成, 其运作原理与图 16 所示的电源线 ESD 箝制电路 700 相同。ESD 电压脉冲会导致一基纳二极管 816 的击穿, 造成一触发电流, 并经由一 N+扩散区域 120 (见图 9) 而导入一作为 ESD 保护的 PMOS 832 的 N 型阱 (或是 N 型衬底) 中, 并开启 PMOS 832 中的寄生横向双极型晶体管 834 以释放 ESD 电流, 进而保护内部电路 (internal circuit) 811。

简而言之, 本发明制作晶片上 (on-chip) ESD 防护电路的方法, 在漏极与连接衬底偏压电路的掺杂区之间加入一虚置栅极以取代浅沟隔离区域。由于衬底触发电流 I_{trig} 被衬底触发电路所产生之后, 少了浅沟隔离区域, 因此将更加容易到达 MOS 元件结构中的寄生横向双极型晶体管的基极。所以 MOS 元件结构中的寄生横向双极型晶体管得以更快且更有效率地被驱动。不但 ESD 电流会快速地流入 MOS 结构的衬底被释放, 同时也不会集中于 MOS 结构的表面通道, 故能有效避免 MOS 元件因散热不易, 而被烧坏的问题。

相较于习知制造于晶片上 (on-chip) 的 ESD 防护电路, 本发明的高衬底触发效应 (substrate-triggered effect) NMOS 元件结构、ESD 防护元件以及 ESD 防护电路可以更快且有效率的被驱动, 以达到加速 ESD 电流释放的目的, 解决习知 ESD 防护元件的各种问题, 非常适合应用在 0.25 微米以下的

CMOS 制程的集成电路产品中。

以上所述仅本发明的较佳实施例，凡依本发明申请专利范围所做的均等变化与修饰，皆应属本发明专利的涵盖范围。

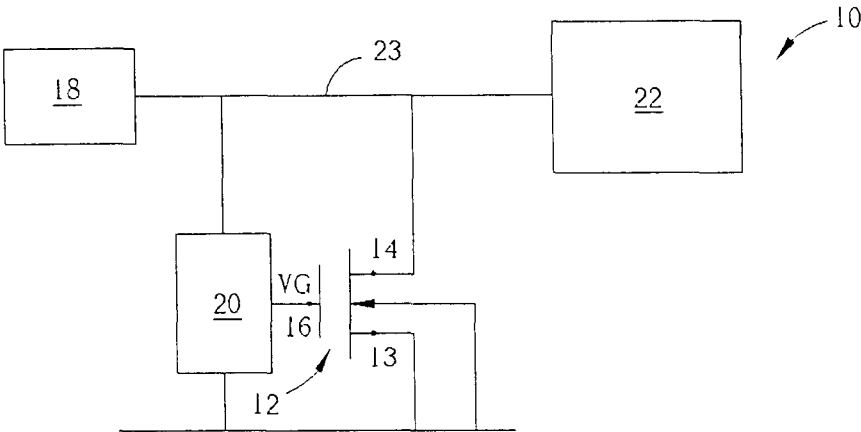


图 1

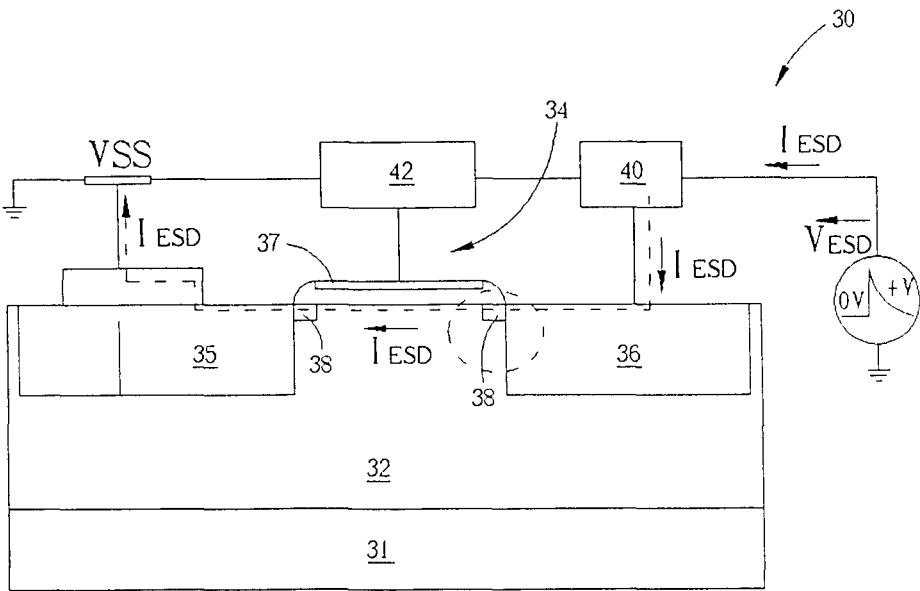


图 2

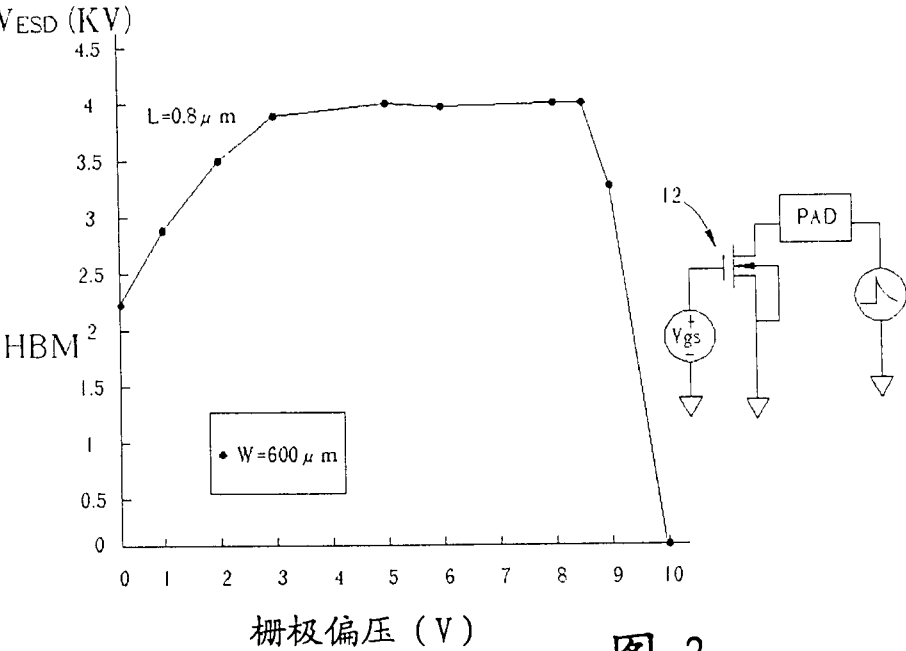


图 3

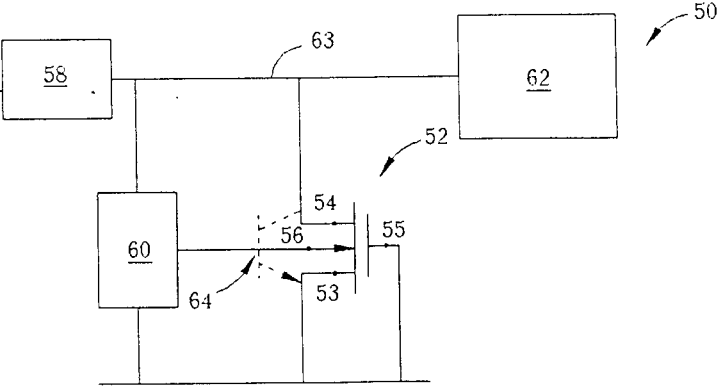
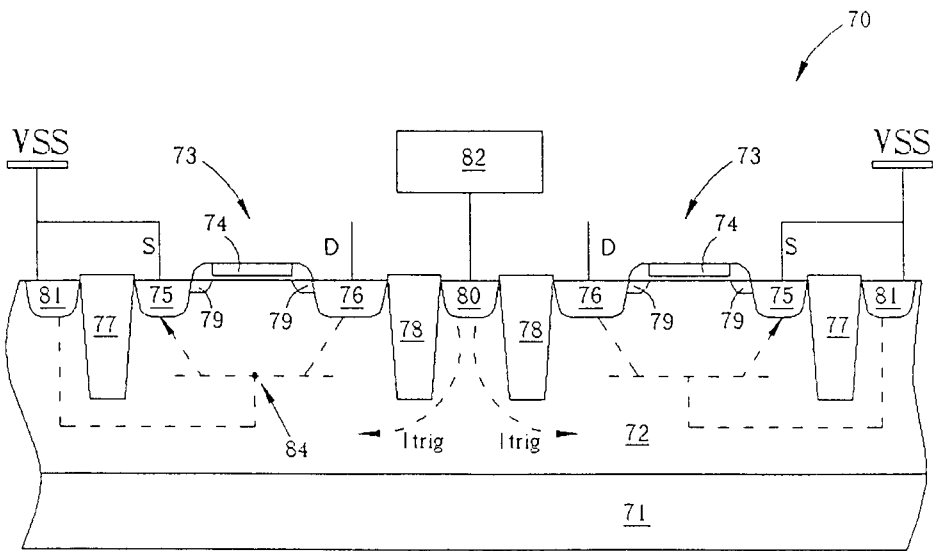
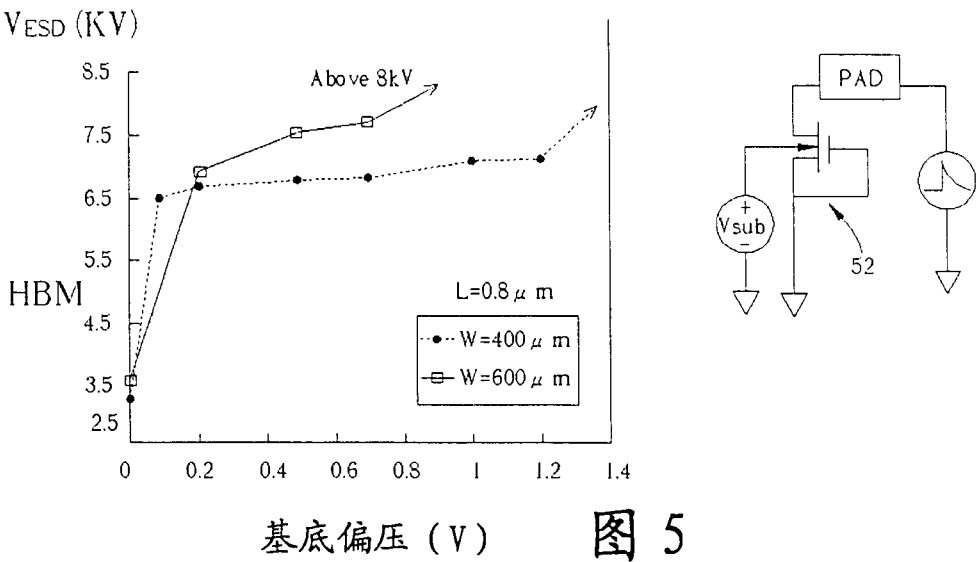


图 4



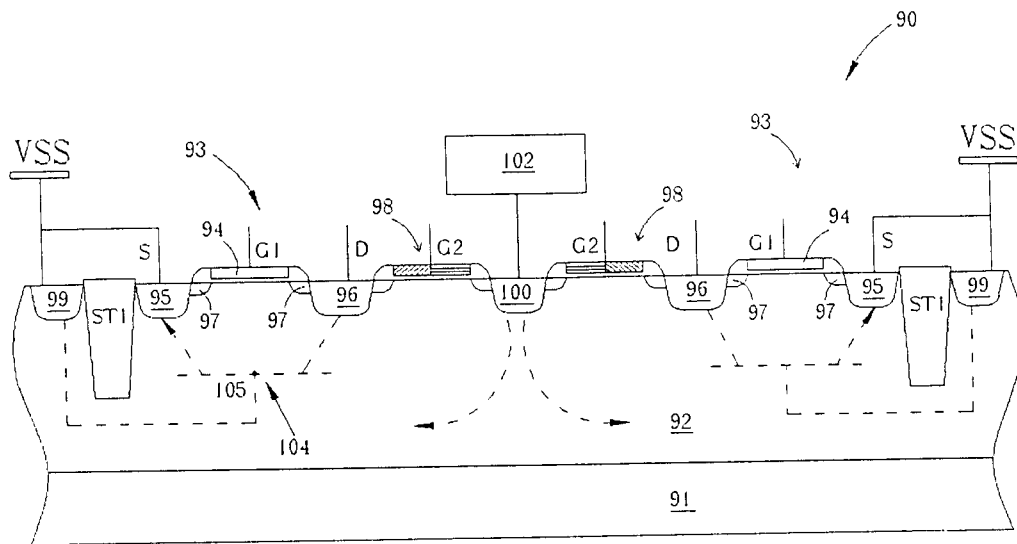


图 7

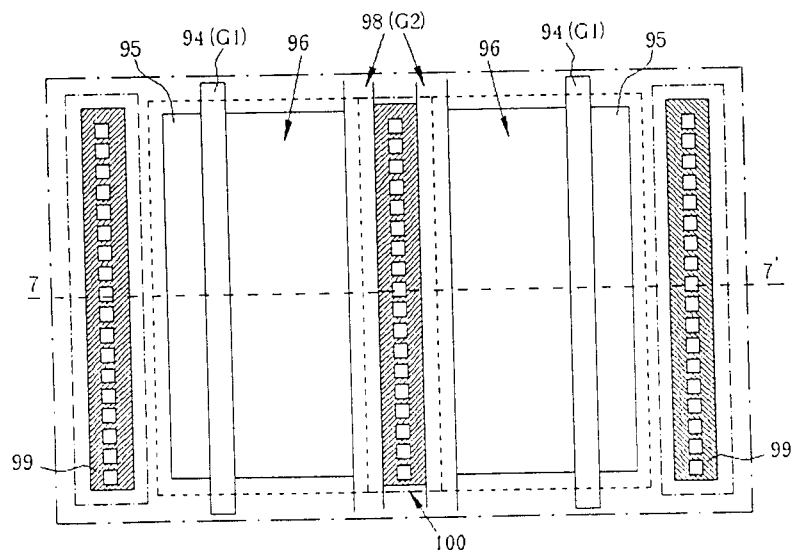


图 8

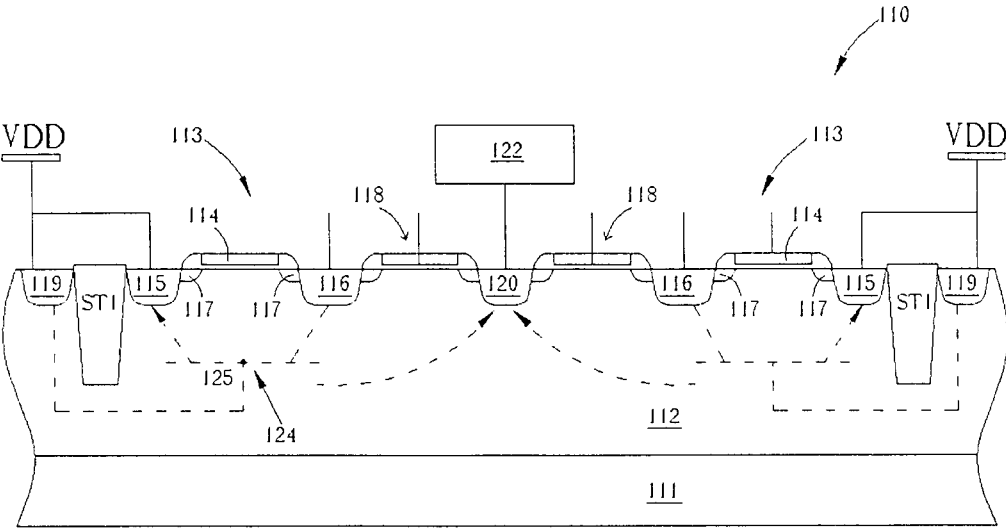


图 9

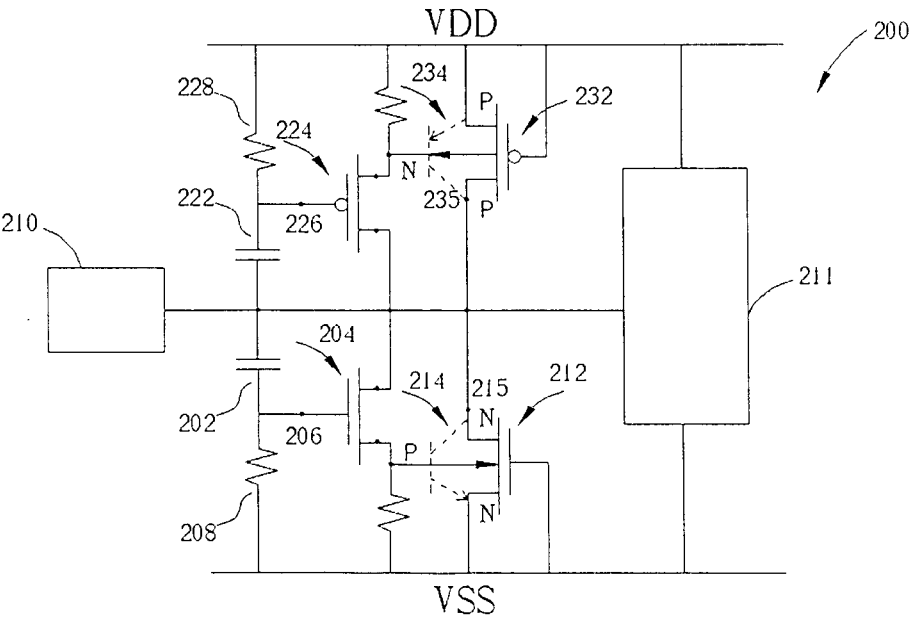


图 10

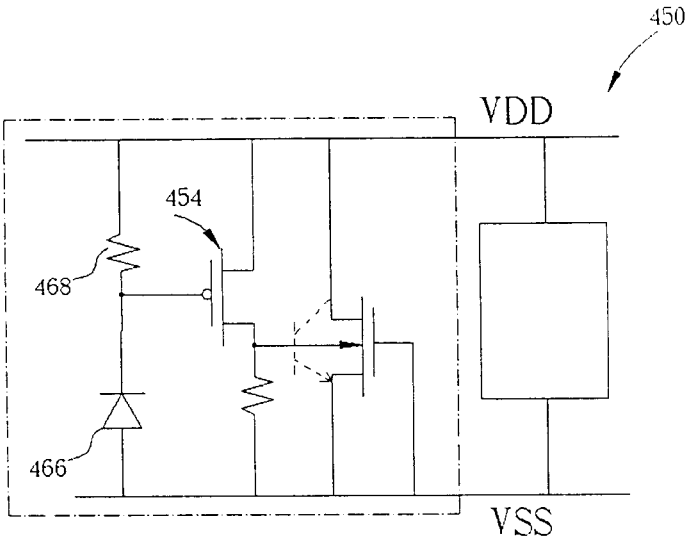


图 13

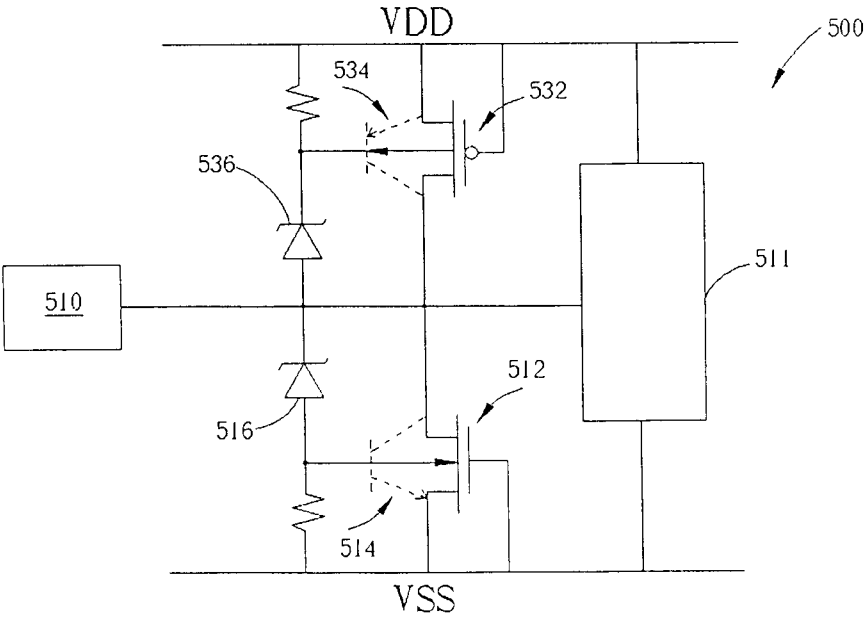


图 14

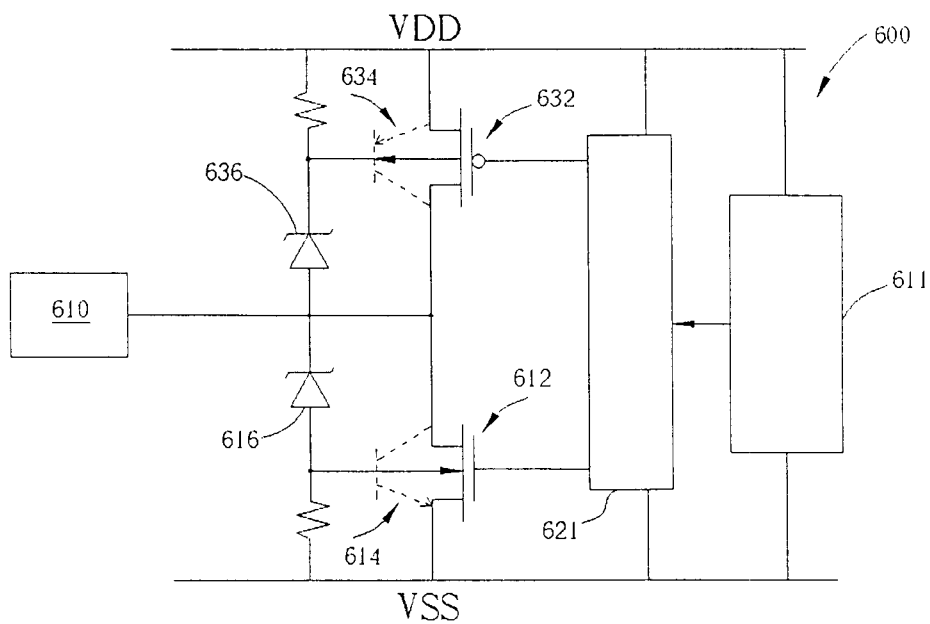


图 15

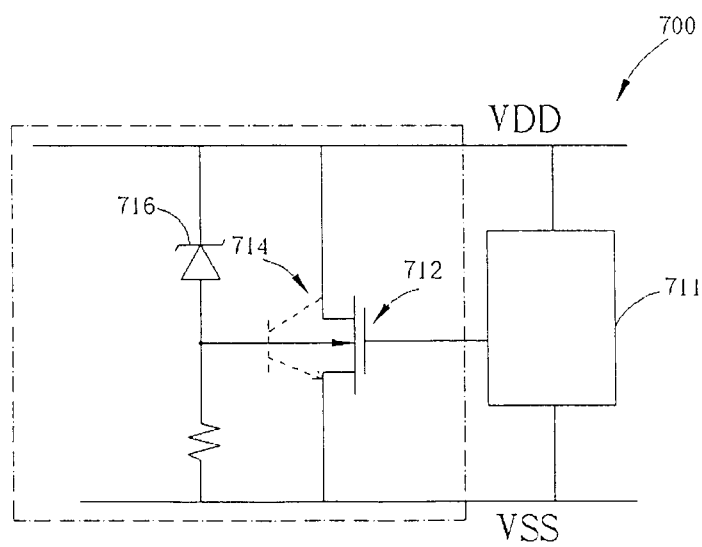


图 16

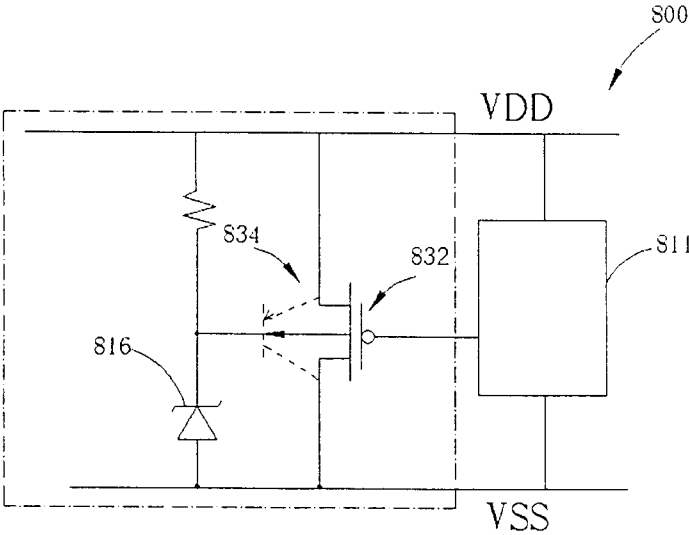


图 17